

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-057280

(43)Date of publication of application : 12.03.1991

(51)Int.Cl. H01L 29/788
H01L 27/115
H01L 29/792

(21)Application number : 01-193541

(71)Applicant : MITSUBISHI ELECTRIC CORP

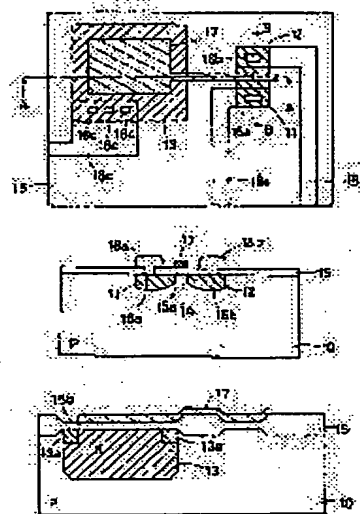
(22)Date of filing : 25.07.1989

(72)Inventor : TERADA YASUSHI

(54) NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE**(57)Abstract:**

PURPOSE: To use a third semiconductor region for a control gate and let a conductivity layer to function as a floating gate by forming the conductivity layer from the third semiconductor region on an insulation film to a channel region.

CONSTITUTION: An N-type drain 11, a source 12 and a well 13 are formed on a P-type substrate 10 and an N⁺-layer is provided on the inner periphery of the well. It is covered with SiO₂ 15 where a window 16 is opened. Poly Si 17 is provided in the position of a channel 14 between the drain 11 and the source 12 from the well 13. Al interconnections 18a to 18c are formed through the window 16. The poly Si 17 is identical to the gate of an NchEFT, using SiO₂ as a gate oxidation film, and a capacity is formed of the N well 13, SiO₂ 15b and poly Si 17. Therefore, when an attempt is made to apply control voltage by way of the interconnection 18c and use the N well 13 as a control gate, the poly Si layer 17 can be arranged to function as a floating gate.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-57280

⑬ Int.Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)3月12日

H 01 L 29/788
27/115
29/792

7514-5F H 01 L 29/78 3 7 1
8831-5F 27/10 4 3 4

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 不揮発性半導体記憶装置

⑯ 特 願 平1-193541

⑰ 出 願 平1(1989)7月25日

⑱ 発 明 者 寺 田 康 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・
エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

不揮発性半導体記憶装置

2. 特許請求の範囲

(1) 第1の導電型の半導体基板と、

前記半導体基板の表面に形成された第2の導電型の第1、第2の半導体領域とを備え、前記第1、第2の半導体領域に挟まれた前記半導体基板の表面がチャネル領域として規定され、

前記半導体基板の上層部に、前記第1、第2の半導体領域とは分離して形成された第3の半導体領域と、

前記第1、第2の半導体領域及び前記第3の半導体領域を含んだ半導体基板上に形成された絶縁膜と、

前記絶縁膜上において、前記第3の半導体領域上から前記チャネル領域上にかけて形成された導電層とをさらに備えた不揮発性半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、CPU等の通常の論理装置の製造プロセスで製造可能な不揮発性半導体記憶装置に関するものである。

〔従来の技術〕

第2図は従来のフラッシュ(一括消去型)EEPROMにおけるメモリトランジスタを示す断面図である。同図において、1はP型半導体基板であり、2はN型のドレイン拡散領域、3はN型のソース拡散領域である。これらドレイン拡散領域2、ソース拡散領域3間のP型半導体基板1の表面部がチャネル領域9として規定される。また、4はフローティングゲートであり、ドレイン拡散領域2の一部からソース拡散領域3の一部にかけて、ゲート酸化膜5を介して形成されている。さらにコントロールゲート6がゲート酸化膜7を介してフローティングゲート4上に形成されている。また、ビット線8がドレイン拡散領域2に電気的に接続して形成されている。

このような構成において、メモリトランジスタの不揮発な 込みは以下のようにして行われる。

まず、コントロールゲート6及びドレイン拡散領域2に高電圧を印加し、ソース拡散領域3を接地レベルに設定する。

このように設定すると、メモリトランジスタのチャネル領域9を流れる電子がドレイン拡散領域2近傍のピンチオフ領域においてドレイン-ソース間の電圧で加速され、ホットエレクトロンとなりコントロールゲート6による電界によりゲート酸化膜5のエネルギーギャップを越えてフローティングゲート4に注入されることにより、メモリトランジスタの閾値が高くなる(7V以上)。

一方、消去はソース拡散領域3に高電圧を印加し、コントロールゲート6を接地レベルに設定することにより行われる(ドレイン領域2はフローティングでよい)。このように設定すると、書込みと逆の原理でフローティングゲート4に蓄積されていた電子がソース拡散領域3に引抜かれることにより、メモリトランジスタの閾値が低くなる(1V程度)。

このように、書込み動作を行うとメモリトラン

性半導体記憶装置とは、かなり異なっている。特に、2層のゲート間の絶縁膜は5V程度の耐圧の膜厚で形成されているため、10V以上の耐圧を必要とする、EEPROMのコントロールゲート、フローティングゲート間の膜厚に比べかなり薄くなっている。

上記した理由から、従来の不揮発性半導体記憶装置は、通常の論理装置の製造プロセスでは製造することができないという問題点があった。また、2層ゲート構造から成る論理装置であっても、その論理装置の製造プロセスを変更せずに不揮発性半導体記憶装置を形成した場合、製造プロセス条件の違いにより、フローティングゲート、コントロールゲート間の絶縁膜の膜厚が充分厚く形成できないため、フローティングゲートとコントロールゲート間の十分な耐圧が維持できず所望のデータ保持特性を得ることができない等の支障が生じてしまい、不揮発性半導体記憶装置の性能を損ねてしまうという問題点があった。

この発明は上記のような問題点を解決するため

ジスタの閾値は7V以上になり、消去動作を行うとメモリトランジスタの閾値は1V程度となる。一方、読出しは、コントロールゲート6に電源電圧 V_{CC} (5V)程度の電圧を印加した時に、メモリトランジスタがオンしてビット線8からソース拡散領域3にかけて電流が流れるか、あるいはメモリトランジスタはオフ状態のままで電流が流れないかをセンスアンプで検出することにより行われる。

〔発明が解決しようとする課題〕

従来のフラッシュEEPROMのような不揮発性記憶装置は以上のように構成されており、2層ゲート構造(フローティングゲート4、コントロールゲート6)となっており、必ずその製造工程中にポリシリコン層等の、ゲート電極層の形成を2度に渡って行う必要があった。

一方、CPU等の論理装置は1層のゲート構造から成るのが一般的である。また、A/Dコンバータの一種に、2層のゲート構造から成る論理装置も存在するが、その製造プロセス条件は不揮発

になされたもので、CPU等の通常の論理装置の製造プロセスで、性能を劣化させることなく製造可能な不揮発性半導体装置を得ることを目的とする。

〔課題を解決するための手段〕

この発明にかかる不揮発性半導体記憶装置は、第1の導電型の半導体基板と、前記半導体基板の表面に形成された第2の導電型の第1、第2の半導体領域とを備え、前記第1、第2の半導体領域に挟まれた前記半導体基板の表面がチャネル領域として規定され、前記半導体基板の上層部に、前記第1、第2の半導体領域とは分離して形成された第3の半導体領域と、前記第1、第2の半導体領域及び前記第3の半導体領域を含んだ半導体基板上に形成された絶縁膜と、前記絶縁膜上において、前記第3の半導体領域上から前記チャネル領域上にかけて形成された導電層とをさらに備えている。

〔作用〕

この発明における導電層は、絶縁膜上において、

第 3 の半導体領域上からチャネル領域上にかけて形成されているため、第 3 の半導体領域をコントロールゲートとして用いると、導電層はフローティングゲートとして機能させることができる。

(実施例)

第 1 A 図はこの発明の一実施例であるフラッシュ E E P R O M のメモリトランジスタを示す平面図、第 1 B 図及び第 1 C 図はそれぞれ第 1 A 図の A - A 断面図及び B - B 断面図である。

これらの図に示すように、P 型半導体基板 1 0 の上層部に N 型のドレイン拡散領域 1 1、N 型のソース拡散領域 1 2、N ウェル領域 1 3 がそれぞれ形成されており、ドレイン拡散領域 1 1 とソース拡散領域 1 2 間の半導体基板 1 0 の表面部がチャネル領域 1 4 として規定される。N ウェル領域 1 3 は、ドレイン拡散領域 1 1 とソース拡散領域 1 2 とは分離して形成されており、その表面部内周には、外部との電気的接続を行う際に抵抗抵抗を下げるために、高濃度な N⁺ 拡散領域 1 3 a を形成している。

上の酸化膜 1 5 a をゲート酸化膜とした N M O S トランジスタのゲートと等価な構造となっている。一方、N ウェル領域 1 3 と、N ウェル領域 1 3 上の酸化膜 1 5 b と、酸化膜 1 5 b 上のポリシリコン層 1 7 とによりキャパシタを形成している。

したがって、A 2 配線層 1 8 c を介して制御電圧を与えることにより N ウェル領域 1 3 をコントロールゲートとして用いれば、ポリシリコン層 1 7 をフローティングゲートとして機能させることができる。その結果、第 1 A 図～第 1 C 図に示した構成で、第 2 図で示したフラッシュ E E P R O M と等価な働きができる。すなわち、N ウェル領域 1 3 及びドレイン拡散領域 1 1 に高電圧を印加し、ソース領域 1 2 を接地レベルに設定すると、ポリシリコン層 1 7 に電子が注入されることにより書き込みが行われ、ソース領域 1 2 に高電圧を印加し、N ウェル領域 1 3 を接地レベルに設定すると、ポリシリコン層 1 7 に蓄積されていた電子が引抜かれることにより消去が行われる。また、読み出しも N ウェル領域 1 3 に 5 V 程度の電圧を与え

ドレイン、ソース拡散領域 1 1、1 2 及び N ウェル領域 1 3 を含む半導体基板 1 0 上全面に、酸化膜 1 5 が形成されている。この酸化膜 1 5 には、ドレイン、ソース拡散領域 1 1、1 2 及び N ウェル領域 1 3 上の一部に、コンタクトホール 1 6 a、1 6 b 及び 1 6 c が設けられている。

この酸化膜 1 5 上において、N ウェル領域 1 3 の中央部領域に相当する位置から、ドレイン拡散領域 1 1、ソース拡散領域 1 2 間のチャネル領域 1 4 に相当する位置にかけてポリシリコン層 1 7 が形成されている。

一方、A 2 配線層 1 8 a、1 8 b がそれぞれコンタクトホール 1 6 a、1 6 b を介してドレイン、ソース拡散領域 1 1、1 2 と電気的接続して、酸化膜 1 5 上に形成されている。さらに、A 2 配線層 1 8 c がコンタクトホール 1 6 c を介して N ウェル領域 1 3 の N⁺ 拡散領域 1 3 a と電気的接続して、酸化膜 1 5 上に形成されている。

このように構成されたポリシリコン層 1 7 はチャネル領域 1 4 上においては、チャネル領域 1 4

ることにより、従来同様に行うことができる。

このように、N ウェル領域 1 3 をコントロールゲートとし、ポリシリコン層 1 7 をフローティングゲートとしたフラッシュ E E P R O M を構成すれば、1 層ゲート構造でフラッシュ E E P R O M が完成する。

このため、この実施例の E E P R O M は、通常、1 層ゲート構造である論理装置の製造プロセスで製造することが可能となる。しかも、N ウェル領域 1 3 上に形成される酸化膜 1 5 b は、P 型半導体基板 1 0 上に形成される酸化膜であるため、酸化膜 1 5 b のみを、十分な耐圧を有し、データ・リークの起こらない程度の膜厚で形成することは容易である。したがって論理装置の製造プロセスで製造しても、本実施例のフラッシュ E E P R O M の性能が劣化することはない。

なお、この実施例では、コントロールゲートの役割を果たすウェル領域として、N ウェル領域 1 3 を形成したが、P 型半導体基板 1 0 と電気的分離して形成できるのであれば、P 型のウェル領域

を形成してもよい。

また、この実施例では、フラッシュ E E P R O M について説明したが、他の E E P R O M は勿論 E P R O M にもこの発明を適用することができる。

〔発明の効果〕

以上説明したように、この発明によれば、導電層は、絶縁膜上において、第 3 の半導体領域上からチャネル領域上にかけて形成されているため、第 3 の半導体領域をコントロールゲートとして用いると、導電層をフローティングゲートとして機能させることができる。

したがって、1 層ゲート構造で不揮発な記憶が実現できるため、通常の C P U 等の論理装置の製造プロセスで、性能を劣化させることなく不揮発性半導体記憶装置を製造することができる効果がある。

4. 図面の簡単な説明

第 1 A 図はこの発明の一実施例であるフラッシュ E E P R O M を示す平面図、第 1 B 図は第 1 A 図の A - A 断面図、第 1 C 図は第 1 A 図の B - B

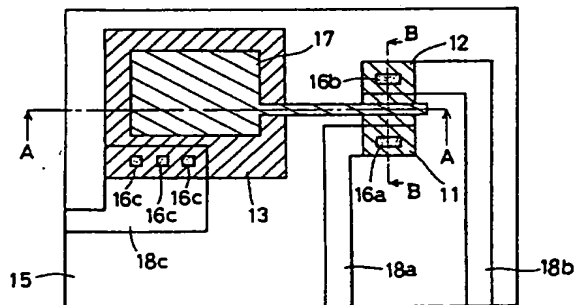
断面図、第 2 図は従来のフラッシュ E E P R O M を示す断面図である。

図において、11 はドレイン拡散領域、12 はソース拡散領域、13 は N ウェル領域、14 はチャネル領域、15 は酸化膜、17 はポリシリコン層である。

なお、各図中同一符号は同一または相当部分を示す。

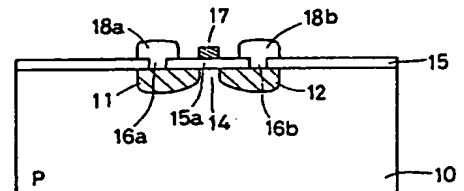
代理人 大 岩 増 雄

第 1 A 図



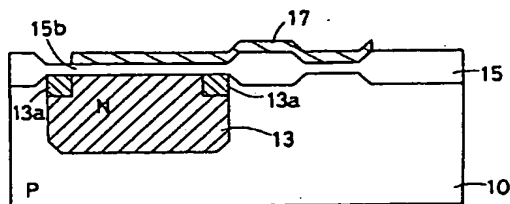
11:ドレイン拡散領域
12:ソース拡散領域
13:Nウェル領域
15:酸化膜
17:ポリシリコン層

第 1 C 図

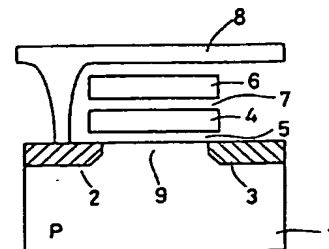


14:チャネル領域

第 1 B 図



第 2 図



手続補正書(自発)

平成 2 年 1 月 23 日
昭和 47 年 1 月 23 日



特許庁長官殿

1. 事件の表示 特願 平 1-193541

2. 発明の名称 不揮発性半導体記憶装置

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601) 三菱電機株式会社
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375) 弁理士 大 岩 増 雄
(連絡先03(213)3421特許部)



5. 補正の対象

明細書の「発明の詳細な説明の欄」

6. 補正の内容

(1) 明細書第3頁第15行ないし第16行の「番込みと逆の原理で」を、「ゲート酸化膜5に高電界が印加されトンネル現象により」に訂正する。

以上

方式
審査

